

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平6-334638

(43) 公開日 平成6年(1994)12月2日

(51) Int.Cl.⁵

識別記号

庁内整理番号

F I

技術表示箇所

H 0 4 L 1/22

4101-5K

H 0 4 B 1/74

H 0 4 J 3/06

D 8226-5K

審査請求 未請求 請求項の数 1 O L (全 9 頁)

(21) 出願番号

特願平5-118744

(22) 出願日

平成5年(1993)5月20日

(71) 出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中1015番地

(72) 発明者 奈良平 貞夫

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

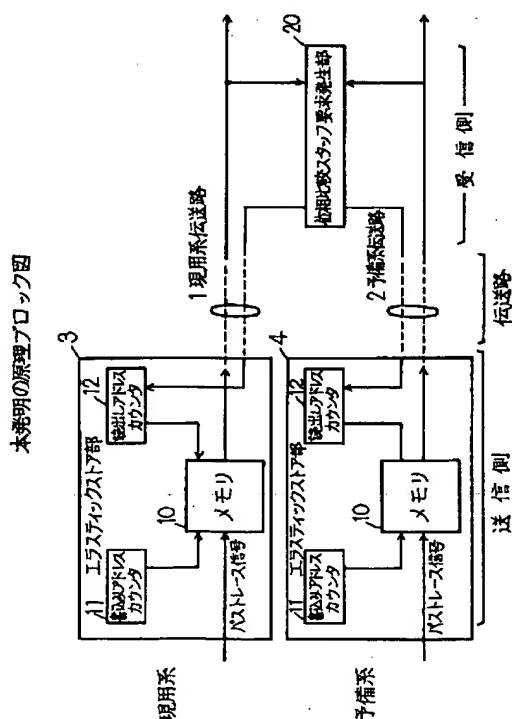
(74) 代理人 弁理士 井柘 貞一

(54) 【発明の名称】 遅延差解消方法

(57) 【要約】

【目的】 遅延差解消方法に関し、遅延量が少なくても可能な遅延差解消方法の提供を目的とする。

【構成】 現用系伝送路1、予備系伝送路2を夫々介して同じデータを伝送する現用系、予備系夫々の送信側には、先頭を示す信号よりカウントを始めメモリ10にデータを書き込むアドレスを与える書込みアドレスカウンタ11と、受信側の位相比較スタッフ要求発生部20よりのスタッフ要求信号により、書込みアドレスカウンタ11と同速度のカウント速度を増減し、メモリ10よりデータを読み出すアドレスを与える読出しアドレスカウンタ12を有するエラストックストア部3、4を備え、受信側には、位相比較スタッフ要求発生部20を備え、位相比較スタッフ要求発生部20にて、現用系、予備系よりの信号の位相を比較し、現用系又は予備系のエラストックストア部の読出しアドレスカウンタ12に、位相比較スタッフ要求発生部20にて比較する現用系、予備系よりの信号の位相が合致する迄、スタッフ要求信号を送る構成とする。



【特許請求の範囲】

【請求項1】 現用系伝送路(1)、予備系伝送路

(2)を夫々介して同じデータを伝送する現用系、予備系夫々の送信側には、

先頭を示す信号よりカウントを始めメモリ(10)にデータを書き込むアドレスを与える書込みアドレスカウンタ(11)と、受信側の位相比較スタッフ要求発生部

(20)よりのスタッフ要求信号により、該書込みアドレスカウンタ(11)と同速度のカウント速度を増減し、該メモリ(10)よりデータを読出すアドレスを与える読出しアドレスカウンタ(12)を有するエラスティックストア部(3、4)を備え、

受信側には、該位相比較スタッフ要求発生部(20)を備え、該位相比較スタッフ要求発生部(20)にて、現用系、予備系よりの信号の位相を比較し、現用系又は予備系のエラスティックストア部の該読出しアドレスカウンタ(12)に、該位相比較スタッフ要求発生部(20)にて比較する現用系、予備系よりの信号の位相が合致する迄、スタッフ要求信号を送るようにしたことを特徴とする遅延差解消方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、現用系伝送路を介して受信側に信号を送る現用系と、現用系伝送路とルートが異なる予備系伝送路を介して受信側に同じ信号を送る予備系とを有し、受信側にて現用系と予備系との位相差をなくする遅延差解消方法に関する。

【0002】現用系伝送路障害により予備系伝送路を使用する場合は、データの瞬断は止むを得ないが、伝送路の収容替え等にて、現用系伝送路を使用していたものを予備系伝送路使用に切り替える場合は、データを無瞬断にて切り替える必要がある。

【0003】この為には、現用系と予備系との遅延量を同一にしておくことが必要だが、このような場合、相対的な遅延量が少なく、現用系と予備系との位相差をなくすることが可能な遅延差解消方法の提供が望まれる。

【0004】

【従来の技術】図5は従来例の新同期システムの伝送路のブロック図である。図中、30、39、40、49は、図5(A)の(b)に示す如く、データにパスオーバーヘッド(以下POHと称す)を付加したり逆に取込み除去したりするハイオーダーバス付加除去部(以下HPTと称す)、31、38、41、48は、図5(A)の(c)に示す如く、POHの位置を示すセクションを付加したり、逆に取込み除去したりするセクション適合部(以下SAと称す)、32、37、42、47は、図5(A)の(d)に示す如く、マックスセクションを付加したり、逆に取込み除去したりするマックスセクション付加除去部(以下MSTと称す)、33、36、43、46は、図5(A)の(e)に示す如く、中継セクシ

ンを付加したり、逆に取込み除去したりする中継セクション付加除去部(以下RSTと称す)、34、35、44、45は、電気信号を光信号に変換したり、逆に光信号を電気信号に変換する同期デジタル階層物理インタフェース(以下SPIと称す)である。

【0005】図5の伝送系の現用系の送信側では、HPT30、SA31、MST32、RST33を介して、図5(A)の(e)に示す如きフレームを構成し、SPI34にて光信号に変換し、現用系光伝送路1を介して受信側に送る。

【0006】受信側では、SPI35にて電気信号に変換し、RST36、MST37、SA38、HPT39にて付加された部分を取込み情報を得、RST36より検出されるK1、K2バイトより選択系の情報を生成しセクタ50に送る。

【0007】図5の伝送系の予備系の送信側では、HPT40、SA41、MST42、RST43を介して、図5(A)の(e)に示す如くフレームを構成し、SPI44にて光信号に変換し、予備系光伝送路2を介して受信側に送る。

【0008】受信側では、SPI45にて電気信号に変換し、RST46、MST47、SA48、HPT49にて付加された部分を取込み情報を得、現用系故障時には、RST46より得られるK1、K2バイトより選択系の情報を生成しセクタ50に送る。

【0009】以上の方法によりセクタ50にて、例えば、現用系を予備系に切り替えが出来るようにしている。

【0010】

【発明が解決しようとする課題】しかしながら、現用系と予備系を伝送路故障でなく強制的に切り替えると、データが瞬断する問題点がある。

【0011】本発明は現用／予備のデータの遅延差を解消し、データの瞬断を起こさない切り替えを可能とする遅延差解消方法の提供を目的としている。

【0012】

【課題を解決するための手段】図1は本発明の原理ブロック図である。図1に示す如く、現用系伝送路1、予備系伝送路2を夫々介して同じデータを伝送する現用系、予備系夫々の送信側には、先頭を示す信号よりカウントを始めメモリ10にデータを書き込むアドレスを与える書込みアドレスカウンタ11と、受信側の位相比較スタッフ要求発生部20よりのスタッフ要求信号により、該書込みアドレスカウンタ11と同速度のカウント速度を増減し、該メモリ10よりデータを読出すアドレスを与える読出しアドレスカウンタ12を有するエラスティックストア部3、4を備え、受信側には、該位相比較スタッフ要求発生部20を備え、該位相比較スタッフ要求発生部20にて、現用系、予備系よりの信号の位相を比較し、現用系又は予備系のエラスティックストア部の該読

出しアドレスカウンタ12に、該位相比較スタッフ要求発生部20にて比較する現用系、予備系よりの信号の位相が合致する迄、スタッフ要求信号を送るようにする構成とする。

【0013】

【作用】本発明にれば、現用系、予備系の送信側に同時にバストレース信号を送り、受信側の位相比較スタッフ要求発生部20にて、現用系伝送路1を介したバストレース信号と、予備系伝送路2を介したバストレース信号との位相を比較し、現用系のエラスティックストア部3又は予備系のエラスティックストア部4の読出しアドレスカウンタ12に、位相比較スタッフ要求発生部20にて比較する位相の差がなくなる迄正又は負のスタッフ要求信号を送る。

【0014】即ち、送信側にて位相を制御し遅延量を等しくするので、現用系、予備系の遅延量を少なく遅延量の差を解消することが出来、データの瞬断を起こさない切り替えが可能となる。

【0015】

【実施例】図2は本発明の実施例の新同期システムの伝送系のブロック図、図3は本発明の実施例のエラスティックストア部のブロック図、図4は本発明の実施例の位相比較スタッフ要求発生部のブロック図である。

【0016】図2で、図5の従来例と異なる点は、HPT30とSA31の間にエラスティックストア部3を挿入し、HPT40とSA41の間にもエラスティックストア部4を挿入し、受信側では、位相比較スタッフ要求発生部20を設け、スタッフ要求信号をエラスティックストア部3又は4に送るようにした点であり、この場合も現用系、予備系の送信側に同時にバストレース信号を送り遅延量の差を解消するもので、以下異なる点を中心に説明する。

【0017】図3、図4は予備系にて遅延量の差をなくするようにし、出来なくなれば現用系にて遅延量の差をなくするようにする場合の例であり、エラスティックストア部は図3に示す如く、書込みアドレスカウンタ11と、通常はこれと同速度の読出しアドレスカウンタ12と、データを書込み読み出すメモリ10と、書込みアドレスカウンタ11と読出しアドレスカウンタ12とのカウント値の差を計算し、図4の系選択情報発生部58に送る遅延量計算部13よりなっている。

【0018】図3にて、HPT30よりの、バストレース信号の先頭と、信号有りとのイネーブル信号が入力すると、書込みアドレスカウンタ11はカウントを始め、アドレスを発生し、そのアドレス位置にデータを書き込む。

【0019】又読出しアドレスカウンタ12もカウントを始め、先頭を示す信号と、信号有りとのイネーブル信号を発生し、アドレスをメモリ10に送り、データを読み出しSA31に送る。

【0020】この読出しアドレスカウンタ12の速度は、通常は書込みアドレスカウンタ11と同速度であるが、位相比較スタッフ要求発生部20より正スタッフ要求信号が入力すれば速度を下げ、負スタッフ要求信号が入力すれば速度を上げる。

【0021】遅延量計算部13は、書込みアドレスカウンタ11と読出しアドレスカウンタ12とのカウント値の差を計算し、図4の系選択情報発生部58に送る。位相比較スタッフ要求発生部20は図4に示す如くであり、現用系よりのバストレース信号の先頭を示す信号にて、フレームカウンタ51のカウントをスタートさせ、カウント値を、フリップフロップ（以下FFと称す）52、53に入力させる。

【0022】一方現用系よりのバストレース信号をクロックとしてFF52に入力して、カウント値を出力させ、予備系よりのバストレース信号をクロックとしてFF53に入力して、カウント値を出力させ、FF52の出力のカウント値と、FF53の出力のカウント値を位相比較器54、55のA、B端子に入力する。

【0023】FF52、53の出力のカウント値の小さい方の系の位相が進んでいるので、位相比較器55では、 $A > B$ の時は正のスタッフ要求をバッファ57を介して出力し、 $A < B$ の時は、負のスタッフ要求をバッファ57を介して出力し、予備系のエラスティックストア部4の読出しアドレスカウンタ12に送り、位相比較器54では、 $A > B$ の時は負のスタッフ要求をバッファ56を介して出力し、 $A < B$ の時は、正のスタッフ要求をバッファ56を介して出力し、現用系のエラスティックストア部3の読出しアドレスカウンタ12に送っている。

【0024】この場合は、系選択情報発生部58よりのHレベルの信号にてバッファ57を選択しているので、予備系のエラスティックストア部4の読出しアドレスカウンタ12にスタッフ要求信号を送り、読出しアドレスカウンタ12のカウント速度を、正のスタッフ要求信号が入力した時は速度を遅らせ、負のスタッフ要求信号が入力した時は速度を早くさせ、現用系と予備系の遅延量の差を解消させる。

【0025】エラスティックストア部4の遅延量計算部13では、書込みアドレスカウンタ11と読出しアドレスカウンタ12のカウント値の差を計算しており、カウント値の差を、系選択情報発生部58に送る。

【0026】系選択情報発生部58では、カウント値の差が、例えば2以下になれば位相差が少なく逆転する恐れがあるので、バッファ56、57の選択を逆にするようにしておき、例えば予備系が進んでおりエラスティックストア部4の読出しアドレスカウンタ12の速度を下げる場合、カウント値の差が2になると、系選択情報発生部58はLレベルの信号を出力し、ノット回路59にて反転させ、バッファ56側を選択し、現用系のエラス

ティックストア部3の読出しアドレスカウンタ12に負のスタッフ要求信号を送らせ、速度を上げ、現用系の位相を進めるようにして遅延量の差を解消する。

【0027】尚、位相比較器54、55にて、現用系、予備系の何れかの位相が進んでいるかを見、位相の進んでいる方の読出しアドレスカウンタ12に、バッファ56又は57より正のスタッフ要求信号を送り、速度を下げ、遅延量の差を解消するようにすることも出来る。

【0028】何れの場合も送信側で位相を調整するので、遅延量は少なく遅延量の差を解消することが出来、データの瞬断を起こさない切り替えが可能となる。

【0029】

【発明の効果】以上詳細に説明せる如く本発明によれば、遅延量が少なく且つ、現用系、予備系の遅延量の差を解消することが出来、データの瞬断を起こさない切り替えが可能となる効果がある。

【図面の簡単な説明】

【図1】は本発明の原理ブロック図、

【図2】は本発明の実施例の新同期システムの伝送系のブロック図、

【図3】は本発明の実施例のエラスティックストア部のブロック図、

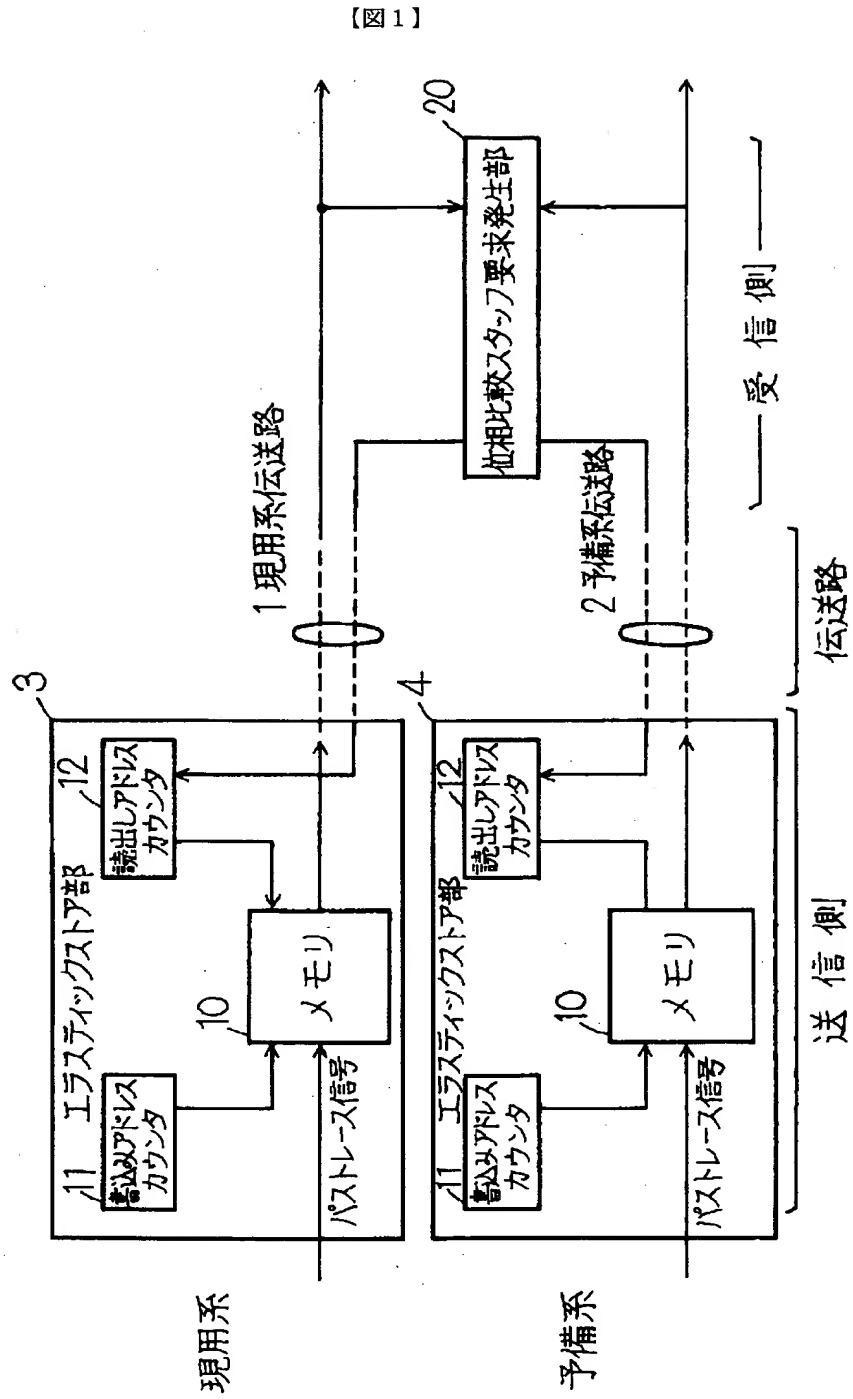
【図4】は本発明の実施例の位相比較スタッフ要求発生部のブロック図、

【図5】は従来例の新同期システムの伝送系のブロック図である。

【符号の説明】

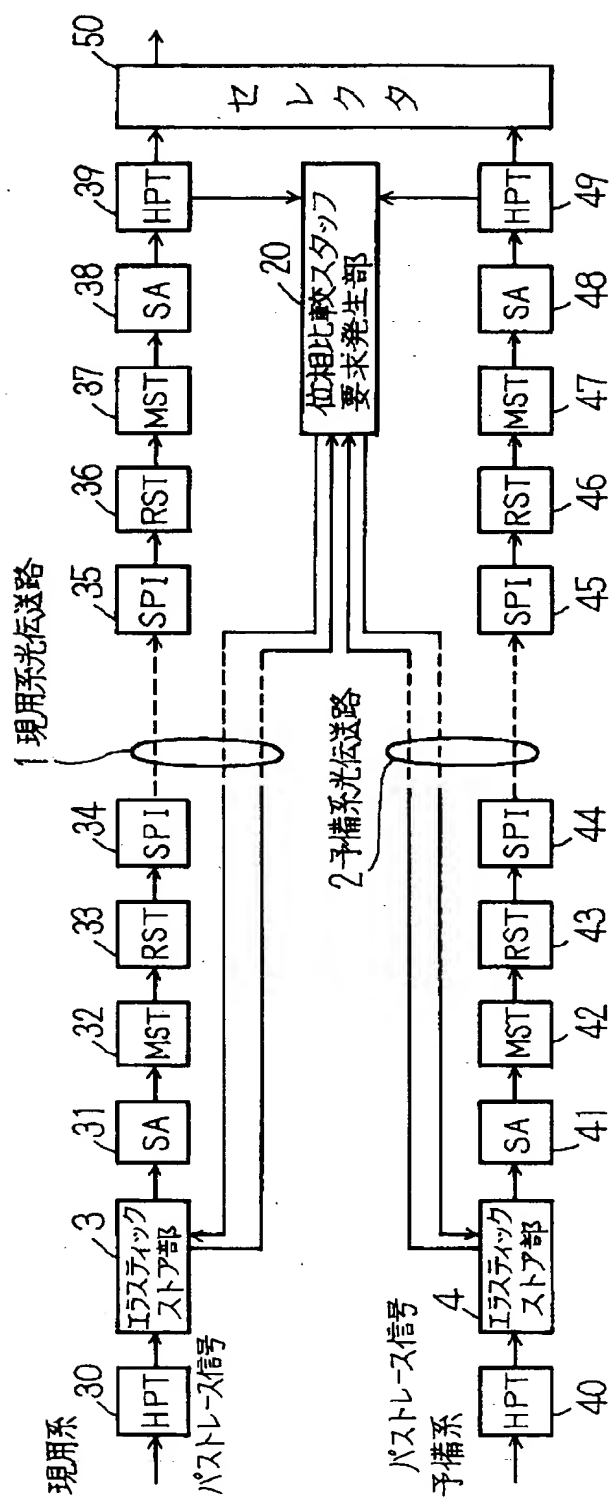
1は現用系伝送路、現用系光伝送路、2は予備系伝送路、予備系光伝送路、3、4はエラスティックストア部、10はメモリ、11は書込みアドレスカウンタ、12は読出しアドレスカウンタ、13は遅延量計算部、20は位相比較スタッフ要求発生部、50はセクタ、51はフレームカウンタ、52、53はフリップフロップ、54、55は位相比較器、56、57はバッファ、58は系選択情報発生部、59はノット回路を示す。

本発明の原理ブロック図



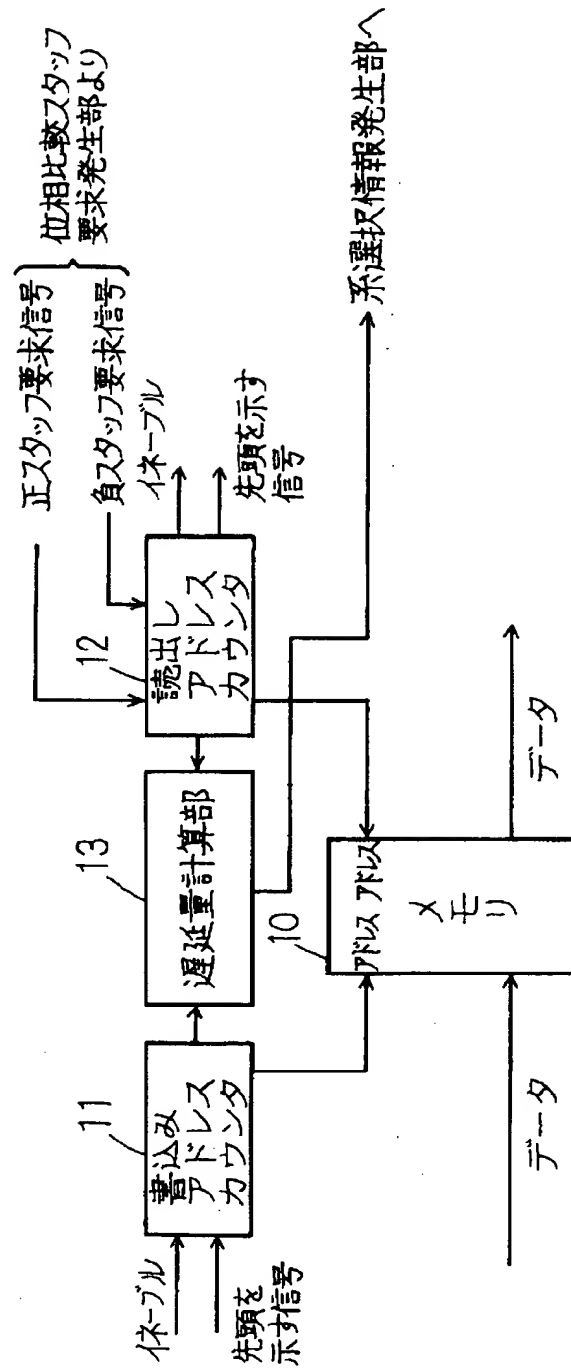
【図2】

本発明の実施例の新同期システムの伝送系のブロック図



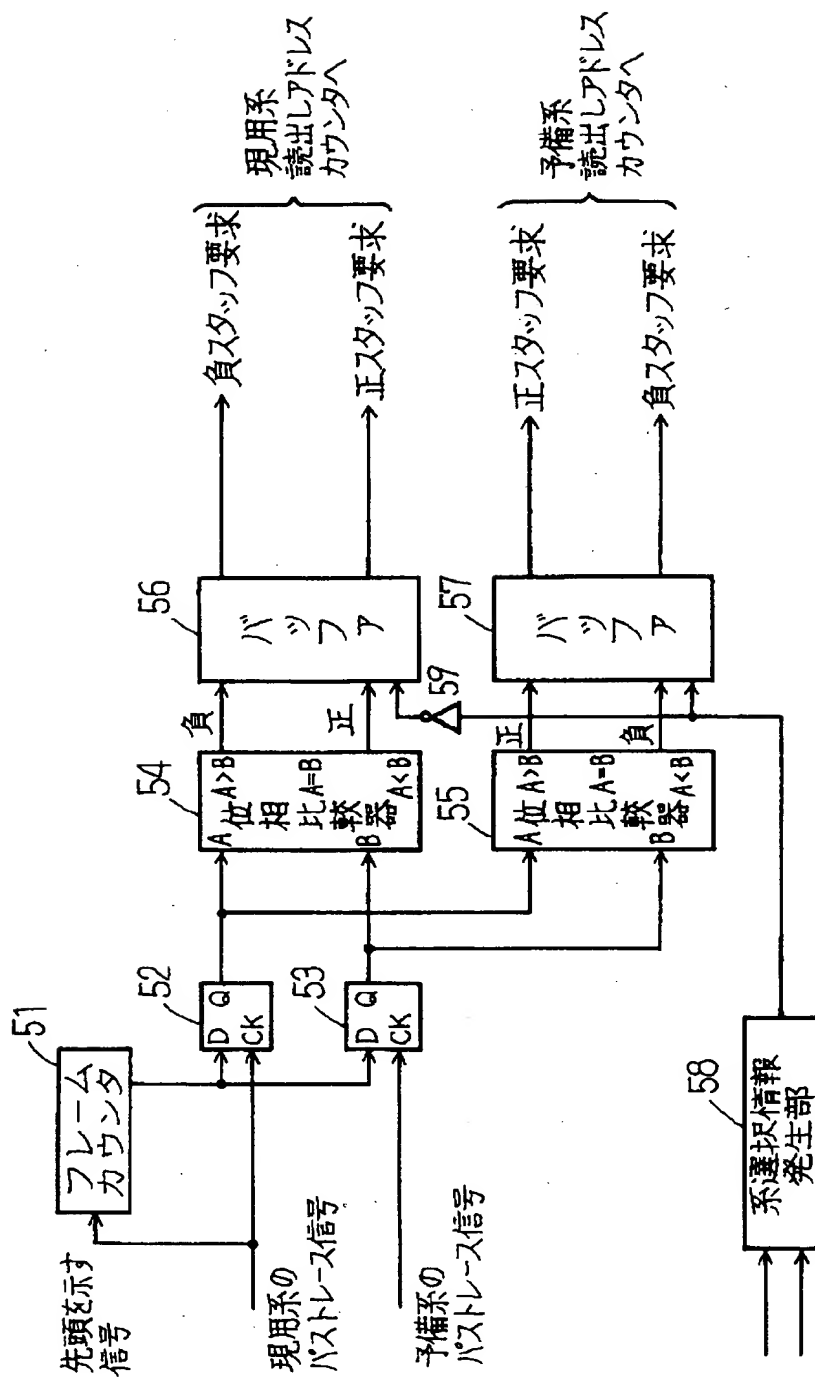
【図 3】

本発明の実施例のエラステックストア部のブロック図

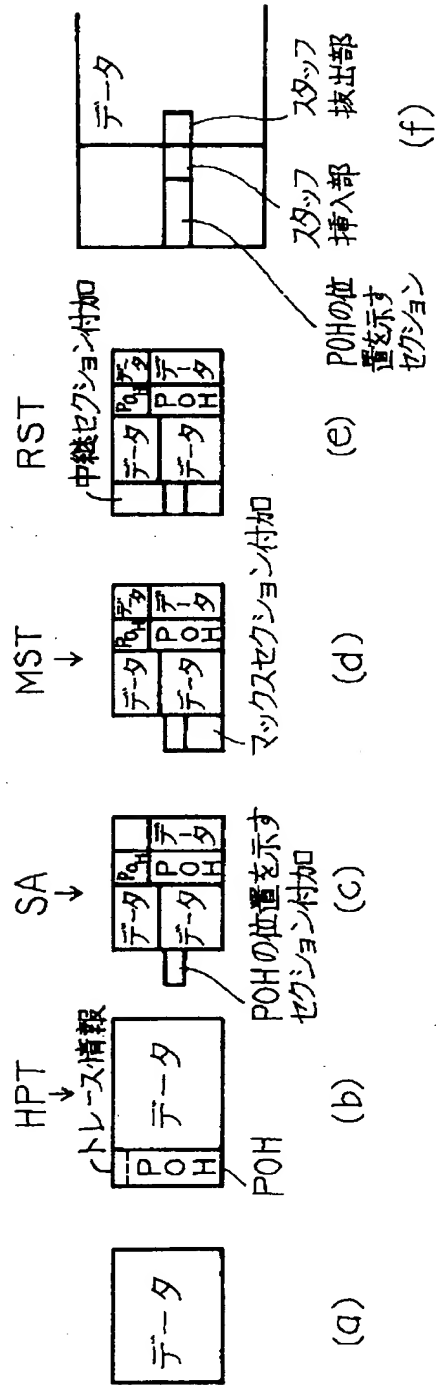
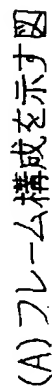


【図4】

本発明の実施例の位相比較スタップ要求部のブロック図



従来例の新同期システムの伝送系のブロック図



MENU

SEARCH

INDEX

DETAIL

BACK

2/2



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11)Publication number: 06334638

(43)Date of publication of application: 02.12.1994

(51)Int.Cl.

H04L 1/22
H04B 1/74
H04J 3/06

(21)Application number: 05118744

(71)Applicant:

FUJITSU LTD

(22)Date of filing: 20.05.1993

(72)Inventor:

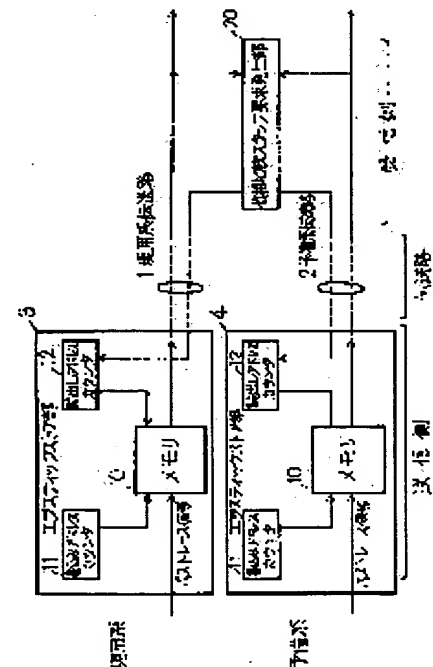
NARAHIRA SADAQ

(54) DELAY DIFFERENCE ELIMINATING METHOD

(57)Abstract:

PURPOSE: To enable the switching of active/spare systems without instantaneously interrupting data by controlling the phases of two signals transmitted simultaneously by a transmission side by a reception side receiving them via active/ spare transmission lines based on request signals to be returned till the phase difference of the both signals are eliminated.

CONSTITUTION: The elastic store parts 3 and 4 of the transmission sides of active/spare systems have counters 11 and 12 imparting writing and reading addresses to each memory 10 and simultaneously transmit two path trace signals. The phase comparison stuff request generation part 20 of a reception side receiving these both signals via active/spare system transmission lines 1 and 2 returns stuff request signals till the phase differences of the both signals are eliminated. Based on these request signals, the both counters 12 on the transmission side control the phases of the both signals by increasing and decreasing count speed and imparting the addresses for reading data from the memory 10. Thus, the difference of the delay amount of the active/spare systems is eliminated and a switching becomes possible without instantaneously interrupting data.



LEGAL STATUS